



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08186180 A**(43) Date of publication of application: **16.07.96**

(51) Int. Cl

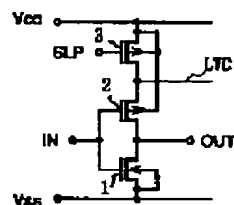
H01L 21/8238
H01L 27/092
H03K 19/0948
H03K 19/173
H03K 19/20

(21) Application number: **06326988**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **28.12.94**(72) Inventor: **KITA AKIO****(54) CMIS-TYPE INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE****(57) Abstract:**

PURPOSE: To improve cut-off characteristics and to simultaneously achieve a high-speed operation and a low power consumption by further connecting a PMOS with a large threshold voltage to a logic circuit consisting of an NMOS and PMOSs.

CONSTITUTION: In an active mode, a PMOS 3 is turned on by setting a control signal SLP to 'L'. At this time, a logic circuit consisting of an NMOS 1 and a PMOS 2 performs an inverter operation. Then, when an input signal IN is 'H', the NMOS 1 is turned off and the PMOS 2 is turned off and then an output signal OUT goes to the level 'L'. When the input signal IN is 'L', the NMOS 1 is turned on and the PMOS 2 is turned off and the level of the output signal-out becomes 'H'. Also, when the input signal-in is 'H', the PMOS 3 is turned off and current to a logic circuit is shut off by setting a control signal LSP to 'H'. At this time, the gate length of the PMOS 3 is formed to be longer than that of the PMOS 2 to increase a threshold voltage, thus improving cut-off characteristics.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-186180

(43) 公開日 平成8年(1996)7月16日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所

H 0 1 L 21/8238

27/092

H 0 3 K 19/0948

H 0 1 L 27/ 08

3 2 1 D

3 2 1 L

審査請求 未請求 請求項の数15 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願平6-326988

(22) 出願日 平成6年(1994)12月28日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 北 明夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

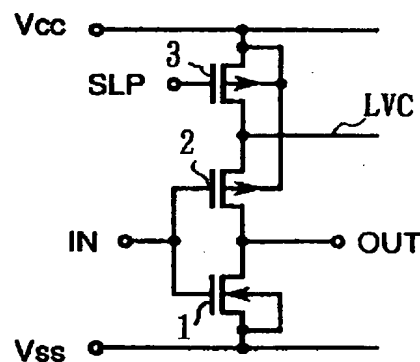
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 C M I S 型集積回路装置及びその製造方法

(57) 【要約】

【目的】 高速動作と低消費電力を同時に達成する。

【構成】 アクティブモード時には、制御信号 S L P を “L” にしておけば、PMOS 3 がオンし、NMOS 1 及び PMOS 2 からなる CMOS インバータで構成された論理回路が、入力信号 I N を入力して通常の論理動作を行う。入力信号 I N が “H” の時、スタンバイモードになるように制御信号 S L P を “H” にすると、PMOS 3 がオフし、NMOS 1 及び PMOS 2 からなる論理回路への電流経路が遮断される。



第1の実施例

【特許請求の範囲】

【請求項 1】 第 1 の電源電位に接続された第 1 導電チャネル型の第 1 の MISFET と該第 1 の MISFET に接続された第 2 導電チャネル型の第 2 の MISFET とからなる CMISFET で構成された論理回路と、
第 2 の電源電位と前記第 2 の MISFET との間に接続され、該第 2 の MISFET よりも閾値電圧の絶対値の大きな第 2 導電チャネル型の第 3 の MISFET とを、
備えたことを特徴とする CMIS 型集積回路装置。

【請求項 2】 第 1 導電チャネル型の第 1 の MISFET 及び第 2 導電チャネル型の第 2 の MISFET からなる CMISFET で構成された論理回路と、
第 1 の電源電位と前記第 1 の MISFET との間に接続され、該第 1 の MISFET よりも閾値電圧の絶対値の大きな第 1 導電チャネル型の第 3 の MISFET と、
第 2 の電源電位と前記第 2 の MISFET との間に接続され、該第 2 の MISFET よりも閾値電圧の絶対値の大きな第 2 導電チャネル型の第 4 の MISFET とを、
備えたことを特徴とする CMIS 型集積回路装置。

【請求項 3】 第 1 導電チャネル型の第 1 の MISFET 及び第 2 導電チャネル型の第 2 の MISFET からなる CMISFET で構成された第 1 の論理回路中の該第 2 の MISFET と、第 2 の電源電位との間に、該第 2 の MISFET よりも閾値電圧の絶対値の大きな第 2 導電チャネル型の第 3 の MISFET を接続した第 1 の回路と、
第 2 導電チャネル型の第 4 の MISFET 及び第 1 導電チャネル型の第 5 の MISFET からなる CMISFET で構成された第 2 の論理回路中の該第 5 の MISFET と、第 1 の電源電位との間に、該第 5 の MISFET よりも閾値電圧の絶対値の大きな第 1 導電チャネル型の第 6 の MISFET を接続した第 2 の回路とを備え、
前記第 1 の回路と前記第 2 の回路とを、それらの入出力側に交互に接続したことを特徴とする CMIS 型集積回路装置。

【請求項 4】 請求項 1、2 又は 3 記載の CMIS 型集積回路装置において、
前記閾値電圧の絶対値は、MISFET のゲート長を長く設定することによって大きくしたことを特徴とする CMIS 型集積回路装置。

【請求項 5】 請求項 1、2 又は 3 記載の CMIS 型集積回路装置において、
前記閾値電圧の絶対値は、バックゲートバイアスを印加することによって大きくしたことを特徴とする CMIS 型集積回路装置。

【請求項 6】 請求項 1 の第 3 の MISFET、請求項 2 の第 3 と第 4 の MISFET、又は請求項 3 の第 3 と第 6 の MISFET は、それらの FET のゲート電位を制御してアクティブモード時にオン状態、スタンバイモード時にオフ状態にするようにしたことを特徴とする CMIS 型集積回路装置。

【請求項 7】 第 2 導電型の半導体基板と、
前記半導体基板上に形成された第 1 導電チャネル型の第 1 の MISFET と、
前記半導体基板上にそれぞれ電氣的に分離されて形成された第 1 導電型の第 1 及び第 2 のウェルと、
前記第 1 のウェル内に形成された第 2 導電チャネル型の第 2 の MISFET と、
前記第 2 のウェル内に形成された第 2 導電チャネル型の第 3 の MISFET とを備え、
前記第 2 と第 3 の MISFET に異なったバックゲートバイアスを印加する構成にしたことを特徴とする CMIS 型集積回路装置。

【請求項 8】 第 2 導電型の半導体基板と、
前記半導体基板上にそれぞれ電氣的に分離されて形成された第 1 導電型の第 1、第 2 及び第 3 のウェルと、
前記第 1 のウェル内に形成された第 2 導電チャネル型の第 1 の MISFET と、
前記第 2 及び第 3 のウェル内にそれぞれ形成された第 2 導電型の第 4 及び第 5 のウェルと、
前記第 4 及び第 5 のウェル上に形成された第 1 導電チャネル型の第 2 及び第 3 の MISFET とを備え、
前記第 2 と第 3 の MISFET に異なったバックゲートバイアスを印加する構成にしたことを特徴とする CMIS 型集積回路装置。

【請求項 9】 請求項 7 又は 8 記載の CMIS 型集積回路装置において、
前記第 3 の MISFET のバックゲートバイアスの絶対値を、
前記第 2 の MISFET のバックゲートバイアスの絶対値よりも常に大きくしておき、スタンバイモード時に前記第 3 の MISFET のゲートを制御してカットオフさせる構成にしたことを特徴とする CMIS 型集積回路装置。

【請求項 10】 請求項 7 又は 8 記載の CMIS 型集積回路装置において、
スタンバイモード時に前記第 3 の MISFET のゲートを制御してカットオフさせるのとほぼ同時に、前記第 3 の MISFET のバックゲートバイアスの絶対値を、前記第 2 の MISFET のバックゲートバイアスの絶対値よりも大きくする構成にしたことを特徴とする CMIS 型集積回路装置。

【請求項 11】 第 2 導電型の半導体基板と、
前記半導体基板上にそれぞれ電氣的に分離されて形成された第 1 導電型の第 1、第 2、第 3 及び第 4 のウェルと、
前記第 1 及び第 3 のウェル内にそれぞれ形成された第 2 導電型の第 5 及び第 6 のウェルと、
前記第 5 及び第 6 のウェル上にそれぞれ形成された第 1 導電チャネル型の第 1 及び第 3 の MISFET と、
前記第 2 及び第 4 のウェル内にそれぞれ形成された第 2 導電チャネル型の第 2 及び第 4 の MISFET とを備え、
前記第 1 と第 3 の MISFET に異なったバックゲートバイアスを印加し、かつ前記第 2 と第 4 の MISFET に異なったバ

ックゲートバイアスを印加する構成にしたことを特徴とするCMI S型集積回路装置。

【請求項12】 第2導電型の半導体基板と、前記半導体基板上にそれぞれ電気的に分離されて形成された第1導電型の第1、第2及び第3のウェルと、前記半導体基板上に形成された第1導電チャンネル型の第1のMISFETと、前記第1及び第3のウェル内にそれぞれ形成された第2導電チャンネル型の第2及び第4のMISFETと、前記第2のウェル内に形成された第2導電型の第4のウェルと、前記第4のウェル上に形成された第1導電チャンネル型の第3のMISFETとを備え、前記第1と第3のMISFETに異なったバックゲートバイアスを印加し、かつ前記第2と第4のMISFETに異なったバックゲートバイアスを印加する構成にしたことを特徴とするCMI S型集積回路装置。

【請求項13】 請求項11又は12記載のCMI S型集積回路装置において、前記第3のMISFETのバックゲートバイアスの絶対値を、前記第1のMISFETのバックゲートバイアスの絶対値よりも常に大きくすると共に、前記第4のMISFETのバックゲートバイアスの絶対値を、前記第2のMISFETのバックゲートバイアスの絶対値よりも常に大きくしておき、スタンバイモード時に前記第3及び第4のMISFETのゲートを制御してカットオフさせる構成にしたことを特徴とするCMI S型集積回路装置。

【請求項14】 請求項11又は12記載のCMI S型集積回路装置において、スタンバイモード時に前記第3及び第4のMISFETのゲートを制御してカットオフさせるのとほぼ同時に、前記第3のMISFETのバックゲートバイアスの絶対値を、前記第1のMISFETのバックゲートバイアスの絶対値よりも大きくすると共に、前記第4のMISFETのバックゲートバイアスの絶対値を、前記第2のMISFETのバックゲートバイアスの絶対値よりも大きくする構成にしたことを特徴とするCMI S型集積回路装置。

【請求項15】 第2導電型の半導体基板上に耐酸化性材料をパターニングする第1の工程と、前記耐酸化性材料をマスクにして第1導電型の不純物を導入する第2の工程と、前記半導体基板を酸化して酸化膜を形成する第3の工程と、前記酸化膜の一部を除去する第4の工程と、前記酸化膜をマスクにして第2導電型の不純物を導入する第5の工程とを、順に施すことを特徴とするCMI S型集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、通信機器、コンピュータ等といった種々の装置に用いられる低消費電力かつ高速動作可能なCMI S (Complimentary Metal Insulator Semiconductor) 型集積回路装置及びその製造方法に関するものである。

【0002】

【従来の技術】CMI Sは、Pチャンネル型MISFET (Metal Insulator Semiconductor Field Effect Transistor) とNチャンネル型MISFETを相互に絶縁して同一チップ上に作りこみ、両者が相補的に動作するようにしたトランジスタであり、消費電力が小さく、動作速度が速いという特徴がある。このCMI Sの一つにCMOS (Complimentary Metal Oxide Semiconductor) がある。CMOSは、Pチャンネル型MOSFET及びNチャンネル型MOSFETからなるトランジスタである。CMOS型集積回路装置の高集積化及び高速化には、目覚ましいものがあり、近年では1チップに100万論理ゲートを集積し、数100MHz以上のクロックで動作するデバイス(素子)も実用化されつつある。元来、CMOS型集積回路装置は、低消費電力動作に適していると言われてきたが、高集積化及び高速化にともない、このCMOS型集積回路装置と言えども、消費電力低減が大きな課題となっている。消費電力は、電源電圧の二乗に比例するので、その電源電圧を下げることは消費電力低減に対して大きな効果がある。ところが、電源電圧を下げたにもかかわらず、高速動作を維持させるためには、MOSFETの閾値電圧を電源電圧に比例して低減させる必要がある。

【0003】

【発明が解決しようとする課題】従来のCMOS型集積回路装置では、入力論理レベルにかかわらず、Nチャンネル型MOSFET(以下、NMOSという)あるいはPチャンネル型MOSFET(以下、PMOSという)のいずれかがカットオフするため、スタンバイ電流がほとんど流れないことが大きな利点であった。しかしながら、動作速度を速くするために単純に閾値電圧を低減していくと、カットオフ時のリーク電流による電源のスタンバイ電流が大幅に増大してしまうという問題があり、高速動作と低消費電力を同時に達成することができなかった。本発明は、従来技術が持っていた課題を解決し、低消費電力かつ高速動作可能なCMI S型集積回路装置及びその製造方法を提供するものである。

【0004】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、CMI S型集積回路装置において、第1の電源電位(例えば、接地電位Vss又は電源電位Vcc)に接続された第1導電チャンネル型(例えば、Nチャンネル型又はPチャンネル型)の第1のMISFET(例えば、MOSFET)と該第1のMISFETに接続された第2導電チャンネル型(例えば、Pチャンネル型又はNチャンネル型)の第2のMISFETとからなるCMISFET(例えば、CMOSFET)

で構成された論理回路と、第2の電源電位（例えば、電源電位 V_{cc} 又は接地電位 V_{ss} ）と前記第2のMISFETとの間に接続され、該第2のMISFETよりも閾値電圧の絶対値の大きな第2導電チャネル型の第3のMISFETとを、備えている。第2の発明は、CMIS型集積回路装置において、第1導電チャネル型の第1のMISFET及び第2導電チャネル型の第2のMISFETからなるCMISFETで構成された論理回路と、第1の電源電位と前記第1のMISFETとの間に接続され、該第1のMISFETよりも閾値電圧の絶対値の大きな第1導電チャネル型の第3のMISFETと、第2の電源電位と前記第2のMISFETとの間に接続され、該第2のMISFETよりも閾値電圧の絶対値の大きな第2導電チャネル型の第4のMISFETとを、備えている。

【0005】第3の発明は、CMIS型集積回路装置において、第1の回路と第2の回路とを、それらの入出力側に交互に接続している。第1の回路は、第1導電チャネル型の第1のMISFET及び第2導電チャネル型の第2のMISFETからなるCMISFETで構成された第1の論理回路中の該第2のMISFETと、第2の電源電位との間に、該第2のMISFETよりも閾値電圧の絶対値の大きな第2導電チャネル型の第3のMISFETを接続した回路である。第2の回路は、第2導電チャネル型の第4のMISFET及び第1導電チャネル型の第5のMISFETからなるCMISFETで構成された第2の論理回路中の該第5のMISFETと、第1の電源電位との間に、該第5のMISFETよりも閾値電圧の絶対値の大きな第1導電チャネル型の第6のMISFETを接続した回路である。第4の発明は、第1、第2又は第3の発明のCMIS型集積回路装置において、前記閾値電圧の絶対値を、MISFETのゲート長を長く設定することによって大きくしている。

【0006】第5の発明は、第1、第2又は第3の発明のCMIS型集積回路装置において、前記閾値電圧の絶対値を、バックゲートバイアスを印加することによって大きくしている。第6の発明では、第1の発明の第3のMISFET、第2の発明の第3と第4のMISFET、又は第3の発明の第3と第6のMISFETを、それらのFETのゲート電位を制御してアクティブモード時にオン状態、スタンバイモード時にカットオフ（オフ状態）にするようにしている。第7の発明は、CMIS型集積回路装置において、第2導電型の半導体基板と、前記半導体基板上に形成された第1導電チャネル型の第1のMISFETと、前記半導体基板上にそれぞれ電気的に分離されて形成された第1導電型の第1及び第2のウェルと、前記第1のウェル内に形成された第2導電チャネル型の第2のMISFETと、前記第2のウェル内に形成された第2導電チャネル型の第3のMISFETとを備えている。そして、前記第2と第3のMISFETに異なったバックゲートバイアスを印加するようになっている。第8の発明は、CMIS型集積回路装置において、第2導電型の半導体基板と、前記半導体基板上にそれぞれ電気的に分離されて形成された第1導電

型の第1、第2及び第3のウェルと、前記第1のウェル内に形成された第2導電チャネル型の第1のMISFETと、前記第2及び第3のウェル内にそれぞれ形成された第2導電型の第4及び第5のウェルと、前記第4及び第5のウェル上に形成された第1導電チャネル型の第2及び第3のMISFETとを備えている。そして、前記第2と第3のMISFETに異なったバックゲートバイアスを印加するようになっている。

【0007】第9の発明は、第7又は第8の発明のCMIS型集積回路装置において、前記第3のMISFETのバックゲートバイアスの絶対値を、前記第2のMISFETのバックゲートバイアスの絶対値よりも常に大きくしておき、スタンバイモード時に前記第3のMISFETのゲートを制御してカットオフさせるようになっている。第10の発明は、第7又は第8の発明のCMIS型集積回路装置において、スタンバイモード時に前記第3のMISFETのゲートを制御してカットオフさせるのとほぼ同時に、前記第3のMISFETのバックゲートバイアスの絶対値を、前記第2のMISFETのバックゲートバイアスの絶対値よりも大きくするようになっている。第11の発明は、CMIS型集積回路装置において、第2導電型の半導体基板と、前記半導体基板上にそれぞれ電気的に分離されて形成された第1導電型の第1、第2、第3及び第4のウェルと、前記第1及び第3のウェル内にそれぞれ形成された第2導電型の第5及び第6のウェルと、前記第5及び第6のウェル上にそれぞれ形成された第1導電チャネル型の第1及び第3のMISFETと、前記第2及び第4のウェル内にそれぞれ形成された第2導電チャネル型の第2及び第4のMISFETとを備えている。そして、前記第1と第3のMISFETに異なったバックゲートバイアスを印加し、かつ前記第2と第4のMISFETに異なったバックゲートバイアスを印加するようになっている。

【0008】第12の発明は、CMIS型集積回路装置において、第2導電型の半導体基板と、前記半導体基板上にそれぞれ電気的に分離されて形成された第1導電型の第1、第2及び第3のウェルと、前記半導体基板上に形成された第1導電チャネル型の第1のMISFETと、前記第1及び第3のウェル内にそれぞれ形成された第2導電チャネル型の第2及び第4のMISFETと、前記第2のウェル内に形成された第2導電型の第4のウェルと、前記第4のウェル上に形成された第1導電チャネル型の第3のMISFETとを備えている。そして、前記第1と第3のMISFETに異なったバックゲートバイアスを印加し、かつ前記第2と第4のMISFETに異なったバックゲートバイアスを印加するようになっている。第13の発明は、第11又は第12の発明のCMIS型集積回路装置において、前記第3のMISFETのバックゲートバイアスの絶対値を、前記第1のMISFETのバックゲートバイアスの絶対値よりも常に大きくすると共に、前記第4のMISFETのバックゲートバイアスの絶対値を、前記第2のMISFETのバックゲ

トバイアスの絶対値よりも常に大きくしておき、スタンバイモード時に前記第3及び第4のMISFETのゲートを制御してカットオフさせるようになっている。

【0009】第14の発明は、第11又は第12の発明のCMIS型集積回路装置において、スタンバイモード時に前記第3及び第4のMISFETのゲートを制御してカットオフさせるのとほぼ同時に、前記第3のMISFETのバックゲートバイアスの絶対値を、前記第1のMISFETのバックゲートバイアスの絶対値よりも大きくすると共に、前記第4のMISFETのバックゲートバイアスの絶対値を、前記第2のMISFETのバックゲートバイアスの絶対値よりも大きくするようになっている。第15の発明は、CMIS型集積回路装置の製造方法において、第2導電型の半導体基板上に耐酸化性材料をパターニングする第1の工程と、前記耐酸化性材料をマスクにして第1導電型の不純物を導入する第2の工程と、前記半導体基板を酸化して酸化膜を形成する第3の工程と、前記酸化膜の一部を除去する第4の工程と、前記酸化膜をマスクにして第2導電型の不純物を導入する第5の工程とを、順に施すようにしている。

【0010】

【作用】第1、第4、第5及び第6の発明によれば、以上のようにCMIS型集積回路装置を構成したので、アクティブモード時に第3のMISFETがオン状態となり、論理回路が通常の動作を行う。スタンバイモード時には、第3のMISFETがオフ状態となり、論理回路への電流経路が遮断される。第2、第4、第5及び第6の発明によれば、アクティブモード時に第3及び第4のMISFETがオン状態となり、論理回路が通常の動作を行う。スタンバイモード時には、第3及び第4のMISFETがオフ状態となるので、論理回路への電流経路が遮断される。第3、第4、第5及び第6の発明によれば、アクティブモード時に第3及び第6のMISFETがオン状態となり、第1の論理回路が通常の動作を行う。第1の論理回路の論理結果は、第2の論理回路に入力され、その第2の論理回路で通常の論理動作が行われる。スタンバイモード時には、第3及び第6のMISFETがオフ状態となるので、第1及び第2の論理回路への電流経路が遮断される。

【0011】第7、第8、第9及び第10の発明によれば、アクティブモード時に第3のMISFETがオン状態となり、第1及び第2のMISFETが入力信号に応じた通常の動作を行う。スタンバイモード時には、第3のMISFETがオフ状態となるので、第1及び第2のMISFETへの電流経路が遮断される。第11、第12、第13及び第14の発明によれば、アクティブモード時に第3及び第4のMISFETがオン状態となり、第1及び第2のMISFETが入力信号に応じた通常の動作を行う。スタンバイモード時には、第3及び第4のMISFETがオフ状態となるので、第1及び第2のMISFETへの電流経路が遮断される。第15の発明によれば、耐酸化性材料をマスクにして第1導電型の不

純物を半導体基板に導入すれば、第1導電型のウェルが形成される。酸化膜の一部が除去された該酸化膜をマスクにして第2導電型の不純物を半導体基板に導入すれば、第1導電型のウェルで囲まれた、該半導体基板と同一導電型の第2導電型のウェルが形成される。

【0012】

【実施例】本発明の実施例では、CMIS型集積回路装置の一つであるCMOS型集積回路装置とその製造方法について説明する。

10 第1の実施例

図1は、本発明の第1の実施例を示すCMOS型集積回路装置の回路図である。このCMOS型集積回路装置は、第1のMISFETであるNMOS1と第2のMISFETであるPMOS2とからなるCMOSインバータで構成された論理回路を有し、そのNMOS1のソースが第1の電源電位である接地電位 V_{ss} に接続されると共に、そのPMOS2のソースが内部電源ラインLVCに接続されている。NMOS1及びPMOS2のゲートには入力信号INが入力され、そのNMOS1及びPMOS2のドレインから出力信号OUTが出力される。内部電源ラインLVCと第2の電源電位である電源電位 V_{cc} との間には、第3のMISFETであるPMOS3が接続され、そのPMOS3のゲートに、スタンバイモード時に高レベル（以下、“H”という）になる制御信号SLPが印加されるようになっている。NMOS1及びPMOS2は、低電圧動作に適するように閾値電圧 V_t の絶対値（以下特にことわらない限り、単に閾値電圧と言う場合はその絶対値を示す）を十分低く設定してある。PMOS3のゲート長は、論理回路を構成するNMOS1及びPMOS2のゲート長より長く形成されている。

【0013】次に、動作を説明する。アクティブモード時には、制御信号SLPを低レベル（以下、“L”という）にしておけばPMOS3がオン状態となる。すると、NMOS1及びPMOS2からなる論理回路は、通常のインバータ動作を行い、入力信号INが“H”の時、NMOS1がオン状態、PMOS2がオフ状態となり、出力信号OUTが“L”となる。入力信号INが“L”の時、NMOS1がオフ状態、PMOS2がオン状態となり、出力信号OUTが“H”となる。論理回路の入力信号INが“H”の時、スタンバイモードになるように制御信号SLPを“H”にすると、PMOS3がオフ状態となり、論理回路への電流経路が遮断される。この第1の実施例のCMOS型集積回路装置では、次のような効果（a）、（b）がある。

【0014】（a）PMOS2と3は、同一のチャネル不純物プロファイルをもつMOSFETであるが、閾値電圧 V_t を大きくするためにPMOS3のゲート長がPMOS2のゲート長よりも長く設定されているので、カットオフ特性が改善されている。MOSFETにおいては、一般

れ、閾値電圧 V_t が低下してサブスレショルド特性が悪化する。図2は、ゲート長 L の異なる2つのMOSFETのドレイン電流 I_{DS} —ゲート電圧 V_g の特性図であり、横軸のゲート電圧 V_g は対数でプロットしてある。MOSFETのサブスレショルド領域におけるドレイン電流 I_{DS} は、ゲート電圧 V_g に対して指数関数的に変化する。閾値電圧 *

$$I_{DS} = I_0 \cdot 10^{-\frac{V_t - V_{GS}}{S}} \quad \dots (1)$$

のように表せる。スタンバイ時のリーク電流は、ゲート電圧 V_g が0Vの時のサブスレショルド電流に主に起因する。ゲート長 L の短いMOSFET及びゲート長 L の長いMOSFETのゲート電圧 $V_g = 0$ Vの時のドレイン電流 I_{L1} 及 ※

$$I_{L1} = I_0 \cdot 10^{-\frac{V_{t1}}{S_1}} \quad I_{L2} = I_0 \cdot 10^{-\frac{V_{t2}}{S_2}} \quad \dots (2)$$

但し、 V_{t1} 、 V_{t2} ：ドレイン電流が I_0 の時の閾値電圧

(b) 前記(a)における具体的な数値を仮定してこの第1の実施例の効果を検証してみる。電源電位 V_{CC} として1Vを想定し、論理回路を構成するNMOS1及びPMOS2の閾値電圧 V_t を電源電圧 V_{CC} の20%の0.2Vに設定する。短いゲート長 L のサブスレショルド係数 $S_1 = 0.1$ V/dec、長いゲート長のサブスレショルド係数 $S_2 = 0.08$ V/dec、閾値電圧 $V_{th} = 0.4$ V、ドレイン電流 $I_0 = 1 \times 10^{-7}$ A/ μ mとすると、ドレイン電流 $I_{L1} = 1 \times 10^{-9}$ A/ μ m、 $I_{L2} = 1 \times 10^{-12}$ A/ μ mとなる。従来の方式において、単位論理回路のチャンネル幅が10 μ m、100万論理回路を1チップに搭載したデバイスでは、リーク電流の合計が10mAにもなってしまう。温度が上昇した場合、サブスレショルド係数 S の値が大きくなるので、さらにリーク電流が激増する。そのため、携帯機器等のバッテリーオペレーション(電池駆動)をねらった低消費電力デバイスでは致命的となる。これに対し、本実施例のように閾値電圧 V_t を大きくするためにPMOS3のゲート長を長くした場合、リーク電流を約1000分の1に低減できる。以上のように、この第1の実施例では、カットオフ特性が改善され、スタンバイ時のリーク電流が大幅に抑制されることがわかる。

【0016】第2の実施例

図3は、本発明の第2の実施例を示すCMOS型集積回路装置の回路図である。このCMOS型集積回路装置は、第1のMISFETであるPMOS11及び第2のMISFETであるNMOS12からなるCMOSインバータで構成された論理回路を有し、そのPMOS11のソースが電源電位 V_{CC} に接続され、さらにそのNMOS12のソースが内部接地ライン LVS に接続されている。このPMOS11及びNMOS12のゲートには入力信号 IN ★50

*を V_t 、ゲート・ソース間電圧 $V_{GS} = V_t$ の時のドレイン電流を I_0 、サブスレショルド係数を S とすれば、MOSFETにおけるソース・ドレイン間を流れるドレイン電流 I_{DS} は、

【数1】

※び I_{L1} は、次式(2)のように表現できる。

【0015】

【数2】

★が入力され、それらのドレインから出力信号OUTが出力される。内部接地ライン LVS と接地電位 V_{SS} との間には、第3のMISFETであるNMOS13が接続されている。NMOS13のゲートには、スタンバイモード時に“L”になる反転制御信号/ SLP が印加されている。PMOS11及びNMOS12は、低電圧動作に適するように閾値電圧 V_t を十分低く設定してある。閾値電圧 V_t を大きくするため、NMOS13のゲート長は論理回路を構成するPMOS11及びNMOS12のゲート長より長く形成されている。

30 【0017】次に、動作を説明する。アクティブモード時には、反転制御信号/ SLP を“H”にしておけば、NMOS13がオン状態となる。すると、論理回路は通常の動作を行い、入力信号 IN が“H”の時、PMOS11がオフ状態、NMOS12がオン状態となり、出力信号OUTが“L”となる。入力信号 IN が“L”の時、PMOS11がオン状態、NMOS12がオフ状態となり、出力信号OUTが“H”となる。入力信号 IN が“L”の時、スタンバイモードになるように反転制御信号/ SLP を“L”にすると、NMOS13がオフ状態となり、論理回路への電流経路が遮断される。以上のように、この第2の実施例では、NMOS12と13が同一のチャンネル不純物プロファイルをもつMOSFETであるが、閾値電圧 V_t を高くするためにNMOS13のゲート長をNMOS12のゲート長よりも長く設定しているので、カットオフ特性を改善でき、第1の実施例と同様の効果が期待できる。

【0018】第3の実施例

図4は、本発明の第3の実施例を示すCMOS型集積回路装置の回路図である。このCMOS型集積回路装置は、第1のMISFETであるNMOS21及び第2のMISFET

であるPMOS 22からなるCMOSインバータで構成された論理回路を有し、そのNMOS 21及びPMOS 22のゲートに入力信号INが入力され、それらのドレインから出力信号OUTが出力されるようになっている。NMOS 21のソースには内部接地ラインLVSが接続され、その内部接地ラインLVSと接地電位Vssとの間に、第3のMISFETであるNMOS 23が接続されている。PMOS 22のソースには内部電源ラインLVCが接続され、その内部電源ラインLVCと電源電位Vccとの間に、第4のMISFETであるPMOS 24が接続されている。NMOS 23のゲートには、スタンバイモード時に“L”になる反転制御信号/SLPが印加され、さらにPMOS 24のゲートには、スタンバイモード時に“H”になる制御信号SLPが印加されている。論理回路を構成するNMOS 21及びPMOS 22は、低電圧動作に適するように閾値電圧Vtを十分低く設定してある。閾値電圧Vtを大きくするため、NMOS 23及びPMOS 24のゲート長は、NMOS 21及びPMOS 22のゲート長より長く形成されている。

【0019】次に、動作を説明する。アクティブモード時には、反転制御信号/SLPを“L”に、制御信号SLPを“H”にしておけば、NMOS 23及びPMOS 24がオン状態となる。すると、論理回路は通常のインバータ動作を行い、入力信号INが“H”の時、NMOS 21がオン状態、PMOS 22がオフ状態となり、出力信号OUTが“L”となる。入力信号INが“L”の時、NMOS 21がオン状態、PMOS 22がオン状態となり、出力信号OUTが“H”となる。スタンバイモードになるように反転制御信号/SLPを“L”に、制御信号SLPを“H”にすると、NMOS 23及びPMOS 24がいずれもオフ状態となり、論理回路への電流経路が遮断される。この第3の実施例では、次のような効果がある。第1及び第2の実施例では、スタンバイモード時の論理回路の出力信号OUTが“H”か“L”に固定、あるいはそのどちらになる確率が非常に大きい場合、エリアペナルティ（占有面積）を最小限に抑えて効果的にリーク電流を低減することができる。ところが、レジスタ等のような、スタンバイモード時の論理回路の出力信号OUTが“H”か“L”のどちらになるか定まらない場合には、電源電位Vcc及び接地電位Vssの両側にゲート長を長く設定したトランジスタを挿入する必要がある。これに対し、この第3の実施例では、NMOS 21と23、及びPMOS 22と24はそれぞれ同一のチャンネル不純物プロファイルをもつMOSFETであるが、閾値電圧Vtを高くするため、NMOS 23のゲート長をNMOS 21のゲート長よりも長く設定し、さらにPMOS 24のゲート長をPMOS 22のゲート長よりも長く設定しているので、カットオフ特性を改善できる。そのため、論理回路の出力信号OUTのレベルにかかわらず、スタンバイモード時のリーク電流を抑制

できる。

【0020】第4の実施例

図5は、本発明の第4の実施例を示すCMOS型集積回路装置の回路図である。このCMOS型集積回路装置では、第1及び第2の実施例で示した方式を交互にシリーズ接続（直列接続）した構成となっている。即ち、第1のMISFETであるNMOS 31及び第2のMISFETであるPMOS 32からなるCMOSインバータで構成された第1の論理回路を有し、そのNMOS 31及びPMOS 32のゲートに入力信号INが入力される。NMOS 31のソースが接地電位Vssに接続され、さらにPMOS 32のソース側の内部電源ラインLVCと電源電位Vccとの間に、第3のMISFETであるPMOS 33が接続されている。PMOS 33のゲートには、スタンバイモード時に“H”になる制御信号SLPが印加されている。第1の論理回路を構成するNMOS 31及びPMOS 32のドレイン側には、第2の論理回路の入力側が接続されている。この第2の論理回路は、第4のMISFETであるPMOS 34及び第5のMISFETであるNMOS 35からなるCMOSインバータで構成され、そのPMOS 34及びNMOS 35のドレインから出力信号OUTが出力される。PMOS 34のソースが電源電位Vccが接続され、NMOS 35のソース側の内部接地ラインLVSと接地電位Vssとの間に、第6のMISFETであるNMOS 36が接続されている。NMOS 36のゲートには、スタンバイモード時に“L”になる反転制御信号/SLPが印加されている。第1の論理回路を構成するNMOS 31及びPMOS 32と第2の論理回路を構成するPMOS 34及びNMOS 35は、低電圧動作に適するように閾値電圧Vtが十分低く設定してある。さらに、閾値電圧を高くするため、PMOS 33のゲート長がPMOS 32のゲート長よりも長く形成されると共に、NMOS 36のゲート長がNMOS 35のゲート長よりも長く形成されている。

【0021】次に、動作を説明する。アクティブモード時には、制御信号SLPを“L”に、反転制御信号/SLPを“H”にしておけば、PMOS 33及びNMOS 36がオン状態となる。すると、第1及び第2の論理回路は通常のインバータ動作を行い、入力信号INが“H”の時、NMOS 31がオン状態、PMOS 32がオフ状態となり、そのNMOS 31のドレインが“L”となる。NMOS 31のドレインが“L”になると、PMOS 34がオン状態、NMOS 35がオフ状態となり、出力信号OUTが“H”となる。入力信号INが“L”の時には、出力信号OUTが“L”となる。スタンバイモードになるように制御信号SLPを“H”に、反転制御信号/SLPを“L”にすると、PMOS 33及びNMOS 36がいずれもオフ状態となり、第1及び第2の論理回路への電流経路が遮断される。そのため、入力信号INのレベルに応じて、PMOS 32あるいは

NMOS 35 のリーク電流がなくなる。この第4の実施例では、次のような効果がある。この第4の実施例は、第1及び第2の実施例を組み合わせ、スタンバイモード時の各段の論理回路の出力レベルに合わせて電源電位 V_{cc} 及び接地電位 V_{ss} 側にゲート長の長い PMOS 33 及び NMOS 36 を挿入しているので、エリアペナルティを最小限に抑えて、効果的にリーク電流を低減できる。

【0022】第5の実施例

図6は、本発明の第5の実施例を示すCMOS型集積回路装置の回路図である。このCMOS型集積回路装置は、第1のMISFETであるNMOS 41及び第2のMISFETであるPMOS 42からなるCMOSインバータで構成された論理回路を有し、それらのNMOS 41及びPMOS 42のバックゲート（ウェル）がソースに接続されてゼロバイアスとなっている。NMOS 41のソースは、接地電位 V_{ss} に接続されている。NMOS 41及びPMOS 42のゲートに入力信号 I_N が入力され、それらのドレインから出力信号 OUT が出力される。PMOS 42のソースは、内部電源ライン LVC に接続されている。内部電源ライン LVC と電源電位 V_{cc} との間には、第3のMISFETであるPMOS 43が接続されている。PMOS 43のゲートには、スタンバイモード時に“H”になる制御信号 SLP が印加されている。さらに、PMOS 43のバックゲートには、基板効果によって閾値電圧 V_t を高くするために、ソースよりも高い電位に設定されたバックバイアス V_{bbp} が印加されている（以下特にことわらない限り、バックバイアスの値はそれぞれのMOSFETのソース電位を基準にとることとする）。いずれのNMOS 41及びPMOS 42、43も、低電圧動作に適するように閾値電圧 V_t を十分低く設定してある。PMOS 42と43のウェルは分離されている。

【0023】図7は、図6の概略のデバイス構造断面図である。この第5の実施例では、PMOS 42と43のウェルを分離してやればよいので、従来知られているP型半導体基板を用いたNウェル構造がそのまま使用できる。この図7のデバイス構造では、P型シリコン基板からなる半導体基板50内に、Pウェル51と第1のウェルであるNウェル52と第2のウェルであるNウェル53とが形成され、それらのウェル間に素子分離用のフィールド酸化膜54が設けられている。Pウェル51にはNMOS 41が、Nウェル52にはPMOS 42が、さらにNウェル53にはPMOS 43がそれぞれ形成されている。即ち、Pウェル51には、ソース領域であるN *

* 型拡散層41S、ドレイン領域であるN型拡散層41D、及びバックバイアス用のN型拡散層41Bが形成され、さらにそのN型拡散層41S、41D間上に、ゲート酸化膜55を介してゲート電極41Gが形成されている。

【0024】PMOS 42と43は、それぞれ別のNウェル52と53に形成されていて、別個にバックバイアスが設定可能となっている。つまり、Nウェル52には、ソース領域であるP型拡散層42S、ドレイン領域であるP型拡散層42D、及びバックバイアス用のN型拡散層42Bが形成され、さらにそのP型拡散層42S、42D間上に、ゲート酸化膜55を介してゲート電極42Gが形成されている。また、Nウェル53には、ソース領域であるP型拡散層43S、ドレイン領域であるP型拡散層43D、及びバックバイアス用のN型拡散層43Bが形成され、さらにそのP型拡散層43S、43D間上に、ゲート酸化膜55を介してゲート電極43Gが形成されている。図7のデバイス構造において、実際のデバイスではNMOS 41及びPMOS 42、43の上に層間絶縁膜や配線層が形成されるが、ここでは図示が省略されており、各電極間の電氣的接続関係のみを示している（以下のデバイス構造断面図においても同様である）。

【0025】次に、動作を説明する。アクティブモード時には、制御信号 SLP を“L”にしておけば、PMOS 43がオン状態となる。すると、NMOS 41及びPMOS 42からなる論理回路は、第1の実施例と同様に、通常のインバータ動作を行う。論理回路の入力信号 I_N が“H”の時、スタンバイモードになるように制御信号 SLP を“H”にすると、PMOS 43がオフ状態となり、論理回路への電流経路が遮断され、PMOS 42のリーク電流がなくなる。また、PMOS 43に印加するバックバイアス V_{bbp} と制御信号 SLP を同期させてアクティブモード時には該バックバイアス V_{bbp} を0V、スタンバイモード時には該バックバイアス V_{bbp} として正の電位を印加するような動作も可能である。この第5の実施例では、次のような効果（1）～（3）がある。

（1） PMOS 42と43は、同一のチャネル不純物プロファイルをもつMOSFETであるが、該PMOS 43のウェルにはバックバイアス V_{bbp} が印加されているので、基板効果により、次式（3）のように閾値電圧 V_t が ΔV_t だけ上昇する。

【0026】

【数3】

$$\Delta V_t = K (\sqrt{V_{bbp} + 2\phi_{FB}} - \sqrt{2\phi_{FB}}) \quad \dots (3)$$

但し、 K ；基板効果係数

ϕ_{FB} ；基板のフェルミ準位

15

また、MOSFETのサブスレシヨルド領域におけるドレイン電流 I_{ds} は、ゲート電圧 V_g に対して指数関数的に変化する。そのため、第1の実施例と同様に、閾値電圧を V_t 、ゲート・ソース間電圧 $V_{gs}=V_t$ の時のドレイン電流を I_0 、サブスレシヨルド係数を S とすれば、ドレイン電流 I_{ds} を前記(1)式のように表せる。スタンバイ *

$$I_{L1} = I_0 \cdot 10^{-\frac{V_t}{S}} \quad \dots (2-1)$$

従って、バックバイアス V_{bbp} によって閾値電圧 V_t を ΔV_t だけ上昇させた場合、リーク電流 I_{L1} は該バックバイアス V_{bbp} によるサブスレシヨルド係数 S の変 *

$$I_{L2} = I_{L1} \cdot 10^{-\frac{\Delta V_t}{S}} \quad \dots (4)$$

(2) 前記(1)において具体的な数値を仮定して効果を検証してみる。第1の実施例と同様に、電源電位 V_{cc} として1Vを想定し、閾値電圧 V_t を該電源電位 V_{cc} の20%の0.2Vに設定する。基板効果係数 $K=0.3V^{1/2}$ 、サブスレシヨルド係数 $S=0.08V/d$ 、フェルミ準位 $2\phi_m=0.7V$ 、ドレイン電流 $I_0=1E-7A/\mu m$ とすると、バックバイアス V_{bbp} をかけない場合、単位チャネル幅あたりのリーク電流は $3.2E-10A$ となる。単位論理回路のチャネル幅が $10\mu m$ 、100万論理回路を1チップに搭載したデバイスでは、リーク電流の合計が $3.2mA$ にもなってしまう。温度が上昇した場合、サブスレシヨルド係数 S の値が大きくなるので、さらにリーク電流が激増する。そのため、バッテリーオペレーションをねらった低消費電力デバイスでは致命的となる。これに対し、この第5の実施例のように、PMOS43にバックバイアス V_{bbp} を印加した場合、例えば $V_{bbp}=3V$ とすると、閾値電圧 V_t の上昇分 $\Delta V_t=0.33V$ となり、リーク電流を約13000分の1に低減できる。以上のように、カットオフ特性が改善され、スタンバイ時のリーク電流が大幅に抑制されることがわかる。

【0027】(3) PMOS43に印加するバックバイアス V_{bbp} と制御信号 SLP を同期させてアクティブモード時には該バックバイアス V_{bbp} に0V、スタンバイモード時には該バックバイアス V_{bbp} に正の電位を印加するような動作をさせると、スタンバイモード時には前記(1)、(2)と全く同様の効果が得られる。しかも、アクティブモード時にPMOS43の閾値電圧 V_t が低下するので、該PMOS43のインピーダンスが小さくなってそのドレイン電流 I_{ds} が増え、該PMOS43の挿入にともなう駆動力の低下を防止でき、該PMOS43のチャネル幅を縮小できる。このため、エリアペナルティが少なくなり、より高集積化が可能となる。

【0028】第6の実施例

16

* 時のリーク電流は、ゲート電圧 V_g が0Vの時のサブスレシヨルド電流に主に起因する。ゲート電圧 $V_g=0V$ の時のドレイン電流 I_{L1} は、前記(2)式と同様に、次式(2-1)のように表現できる。

【数4】

* 動を無視すれば、次式(4)となる。

【数5】

★ 図8は、本発明の第6の実施例を示すCMOS型集積回路装置の回路図である。このCMOS型集積回路装置は、第2の実施例とほぼ同様に、第1のMISFETであるPMOS61及び第2のMISFETであるNMOS62からなるCMOSインバータで構成された論理回路を有し、それらのPMOS61及びNMOS62のバックゲート(ウェル)がソースに接続されてゼロバイアスとなっている。PMOS61及びNMOS62のゲートには入力信号 IN が入力され、それらのドレインから出力信号 OUT が出力される。PMOS61のソースには、電源電位 V_{cc} が接続されている。NMOS62のソースには内部接地ライン LVS が接続され、その内部接地ライン LVS と接地電位 V_{ss} との間に、第3のMISFETであるNMOS63が接続されている。NMOS62と63のウェルは分離されており、該NMOS63のバックゲートには、ソースよりも低い電位に設定されたバックバイアス V_{bbn} が印加されている。また、NMOS63のゲートには、スタンバイモード時に“L”になる制御信号 SLP が印加されている。第5の実施例と同様に、いずれのPMOS61及びNMOS62、63も、低電圧動作に適するように閾値電圧 V_t を十分低く設定してある。

【0029】図9は、図8の概略のデバイス構造断面図である。この第6の実施例では、NMOS62と63のウェルを分離してやる必要があるが、P型半導体基板を用いたNウェル構造では、Pウェル同士が電氣的に分離されていないので、二重拡散構造にしてPウェル間を分離してやらねばならない。図9のデバイス構造において、P型シリコン基板からなる半導体基板70内には、第1のウェルであるPMOS61用のNウェル71、第2のウェルであるPウェル間分離用のNウェル72、及び第3のウェルであるPウェル間分離用のNウェル73が形成されている。Nウェル72内には第4のウェルであるNMOS62用のPウェル74が形成されると共に、Nウェル73内には第5のウェルであるNMOS6

★ 50

3用のPウェル75が形成されている。NMOS62と63は、それぞれ別個のPウェル74及び75に形成されていて、別個にバックバイアスが設定可能となっている。

【0030】即ち、半導体基板70内に形成された各Nウェル71、72、73間は素子分離用のフィールド酸化膜76で分離されている。Nウェル71には、ソース領域であるP型拡散層61S、ドレイン領域であるP型拡散層61D、及びバックバイアス用のN型拡散層61Bが形成され、そのP型拡散層61S、61D間上に、ゲート酸化膜77を介してゲート電極61Gが形成されている。Nウェル72内には、Pウェル74が形成されると共に、バックバイアス用のN型拡散層78が形成されている。Pウェル74には、ソース領域であるN型拡散層62S、ドレイン領域であるN型拡散層62D、及びバックバイアス用のP型拡散層62Bが形成され、さらにそのN型拡散層62S、62D間上に、ゲート酸化膜77を介してゲート電極62Gが形成されている。Nウェル73内には、Pウェル75が形成されると共に、バックバイアス用のN型拡散層79が形成されている。Pウェル75には、ソース領域であるN型拡散層63S、ドレイン領域であるN型拡散層63D、及びバックバイアス用のP型拡散層63Bが形成され、さらにそのN型拡散層63S、63D間上に、ゲート酸化膜77を介してゲート電極63Gが形成されている。

【0031】次に、動作を説明する。アクティブモード時には、第2の実施例と同様に、反転制御信号/SLPを“H”にしておけば、NMOS63がオン状態となり、論理回路が通常のインバータ動作を行う。論理回路の入力信号INが“L”の時、スタンバイモードになるように反転制御信号/SLPを“L”にすると、NMOS63がオフ状態となり、該論理回路への電流経路が遮断され、NMOS62のリーク電流がなくなる。また、第5の実施例とほぼ同様に、NMOS63に印加するバックバイアスV_{b b n}と反転制御信号/SLPを同期させてアクティブモード時には該バックバイアスV_{b b n}に0V、スタンバイモード時には該バックバイアスV_{b b n}に負の電位を印加するような動作も可能である。

【0032】この第6の実施例では、次のような効果(a)、(b)がある。

(a) NMOS62と63は同一のチャネル不純物プロファイルをもつMOSFETであるが、該NMOS63のウェルにはバックバイアスV_{b b n}が印加されているので、閾値電圧V_tが上昇する。そのため、バックバイアスV_{b b n}の極性が第5の実施例と逆になっているが、その第5の実施例の効果(1)、(2)と同様の効果が期待できる。

(b) NMOS63に印加するバックバイアスV_{b b n}と反転制御信号/SLPを同期させてアクティブモード時には該バックバイアスV_{b b n}に0V、スタンバイ

モード時には該バックバイアスV_{b b n}に負の電位を印加するような動作をさせると、スタンバイモード時には前記(a)と全く同様の効果が得られる。しかも、第5の実施例の効果(3)と同様に、アクティブモード時にNMOS63の閾値電圧V_tが低下するので、該NMOS63の挿入にともなう駆動力の低下を防止でき、該NMOS63のチャネル幅を縮小できる。このため、エリアペナルティが少なくなり、より高集積化が可能となる。

10 【0033】第7の実施例

図10は、本発明の第7の実施例を示すCMOS型集積回路装置の回路図である。このCMOS型集積回路装置は、第1のMISFETであるNMOS81及び第2のMISFETであるPMOS82からなるCMOSインバータで構成された論理回路を有し、そのNMOS81及びPMOS82のゲートに入力信号INが入力され、それらのドレインから出力信号OUTが出力される。論理回路を構成するNMOS81及びPMOS82のバックゲート(ウェル)は、ソースに接続されてゼロバイアスとなっている。NMOS81のソースには内部接地ラインLV_Sが接続され、その内部接地ラインLV_Sと接地電位V_{s s}との間に、第3のMISFETであるNMOS83が接続されている。NMOS81と83のウェルは分離されており、該NMOS83のバックゲートには、ソースよりも低い電位に設定されたバックバイアスV_{b b n}が印加され、さらに該NMOS83のゲートには、スタンバイモード時に“L”になる反転制御信号/SLPが印加されている。PMOS82のソースには内部電源ラインLV_Cが接続され、その内部電源ラインLV_Cと電源電位V_{c c}との間に、第4のMISFETであるPMOS84が接続されている。PMOS82と84のウェルは分離されており、該PMOS84のバックゲートには、ソースよりも高い電位に設定されたバックバイアスV_{b b p}が印加されている。PMOS84のゲートには、スタンバイモード時に“H”になる制御信号SLPが印加されている。これらいずれのNMOS81、83及びPMOS82、84も、第5の実施例と同様に、低電圧動作に適するように閾値電圧V_tを十分低く設定してある。

【0034】図11は、図10の概略のデバイス構造断面図である。P型シリコン基板からなる半導体基板90内には、第1のウェルであるPウェル間分離用のNウェル91、第2のウェルであるPMOS82用のNウェル92、第3のウェルであるPウェル間分離用のNウェル93、及び第4のウェルであるPMOS84用のNウェル94が形成されている。Nウェル91内には第5のウェルであるNMOS81用のPウェル95が形成されると共に、Nウェル93内にも第6のウェルであるNMOS83用のPウェル96が形成されている。NMOS81と83はそれぞれ別のPウェル95及び96に形成され、さらにPMOS82と84はそれぞれ別個のNウェ

ル 9 2 及び 9 4 に形成されていて、それぞれ別個にバックバイアスが設定可能となっている。各 N ウェル 9 1, 9 2, 9 3, 9 4 間には、素子分離用のフィールド酸化膜 9 7 が設けられている。N ウェル 9 1 内には、P ウェル 9 5 が形成されると共に、バックバイアス用の N 型拡散層 9 9 が形成されている。P ウェル 9 5 には、ソース領域である N 型拡散層 8 1 S、ドレイン領域である N 型拡散層 8 1 D、及びバックバイアス用の P 型拡散層 8 1 B が形成され、さらにその N 型拡散層 8 1 S, 8 1 D 間上に、ゲート酸化膜 9 8 を介してゲート電極 8 1 G が形成されている。N ウェル 9 2 には、ソース領域である P 型拡散層 8 2 S、ドレイン領域である P 型拡散層 8 2 D、及びバックバイアス用の N 型拡散層 8 2 B が形成され、さらにその P 型拡散層 8 2 S, 8 2 D 間上に、ゲート酸化膜 9 8 を介してゲート電極 8 2 G が形成されている。

【0035】N ウェル 9 3 内には、P ウェル 9 6 が形成されると共に、バックバイアス用の N 型拡散層 1 0 0 が形成されている。P ウェル 9 6 には、ソース領域である N 型拡散層 8 3 S、ドレイン領域である N 型拡散層 8 3 D、及びバックバイアス用の P 型拡散層 8 3 B が形成され、さらにその N 型拡散層 8 3 S, 8 3 D 間上に、ゲート酸化膜 9 8 を介してゲート電極 8 3 G が形成されている。N ウェル 9 4 には、ソース領域である P 型拡散層 8 4 S、ドレイン領域である P 型拡散層 8 4 D、及びバックバイアス用の N 型拡散層 8 4 B が形成され、さらにその P 型拡散層 8 4 S, 8 4 D 間上に、ゲート酸化膜 9 8 を介してゲート電極 8 4 G が形成されている。図 1 2 は、図 1 0 の他の概略のデバイス構造断面図である。NMOS 8 1 にはバックバイアスを印加しないので、該 NMOS 8 1 の形成されている図 1 1 の P ウェル 9 5 は必ずしも半導体基板 9 0 と電気的に分離されている必要がない。そのため、図 1 2 のように、図 1 1 の N ウェル 9 1 を省略することもできる。

【0036】次に、動作を説明する。第 3 の実施例と同様に、アクティブモード時には反転制御信号 / SLP を “H” に、制御信号 SLP を “L” にしておけば、NMOS 8 3 及び PMOS 8 4 がオン状態となり、論理回路が通常のインバータ動作を行う。スタンバイモードになるように反転制御信号 / SLP を “L” に、制御信号 SLP を “H” にすると、NMOS 8 3 及び PMOS 8 4 がいずれもオフ状態となり、論理回路への電流経路が遮断される。そのため、論理回路の入力信号 IN のレベルにかかわらず、NMOS 8 1 あるいは PMOS 8 2 のリーク電流がなくなる。また、第 5 の実施例と同様に、バックバイアス V_{bbp} , V_{bbn} と制御信号 SLP 及び反転制御信号 / SLP を同期させてアクティブモード時には該バックバイアス V_{bbp} , V_{bbn} に 0 V、スタンバイモード時には該バックバイアス V_{bbp} , V_{bbn} に正及び負の電位をそれぞれ印加するような動作も可

能である。

【0037】この第 7 の実施例では、次のような効果 (a), (b) がある。

(a) 第 5 及び第 6 の実施例では、第 1 及び第 2 の実施例と同様に、スタンバイモード時の論理回路の出力信号 OUT のレベルが “H” か “L” に固定、あるいはどちらかになる確率が非常に大きい場合、エリアペナルティを最小に抑えて効果的にリーク電流を低減できる。ところが、スタンバイモード時の論理回路の出力信号 OUT のレベルがどちらになるか定まらない場合には、接地電位 V_{ss} 及び電源電位 V_{cc} の両側に、バックバイアスを加えて閾値電圧 V_t を高くしたトランジスタを挿入する必要がある。そこで、この第 7 の実施例では、NMOS 8 3 及び PMOS 8 4 を設けている。NMOS 8 1 と 8 3、及び PMOS 8 2 と 8 4 は、それぞれ同一のチャネル不純物プロファイルをもつ MOSFET であるが、NMOS 8 3 及び PMOS 8 4 のウェルには、バックバイアス V_{bbn} , V_{bbp} が印加されているので、基板効果によってそれらの閾値電圧 V_t が上昇する。これにより、論理回路の出力信号 OUT のレベルにかかわりなく、スタンバイモード時のリーク電流を抑制できる。

(b) バックバイアス V_{bbp} , V_{bbn} と制御信号 SLP 及び反転制御信号 / SLP を同期させてアクティブモード時には該バックバイアス V_{bbp} , V_{bbn} に 0 V、スタンバイモード時には該バックバイアス V_{bbp} , V_{bbn} に正及び負の電位をそれぞれ印加するような動作をさせると、スタンバイモード時には前記 (a) と全く同様の効果が得られる。その上、アクティブモード時に NMOS 8 3 及び PMOS 8 4 の閾値電圧 V_t が低下するので、第 3 の実施例と同様に、これらの挿入にともなう駆動力の低下を防止でき、該 NMOS 8 3 及び PMOS 8 4 のチャネル幅を縮小できる。このため、エリアペナルティが少なくなり、より高集積化が可能となる。

【0038】第 8 の実施例

図 1 3 は、本発明の第 8 の実施例を示す CMOS 型半導体回路装置の回路図である。この CMOS 型集積回路装置は、第 5 及び第 6 の実施例で示した方式を交互にシリーズ接続した構成となっている。即ち、第 1 の MISFET である NMOS 2 0 1 及び第 2 の MISFET である PMOS 2 0 2 からなる CMOS インバータで構成された第 1 の論理回路を有し、その NMOS 2 0 1 及び PMOS 2 0 2 のゲートに入力信号 IN が入力される。NMOS 2 0 1 及び PMOS 2 0 2 のバックゲート (ウェル) はソースに接続され、ゼロバイアスとなっている。NMOS 2 0 1 のソースは接地電位 V_{ss} に接続されている。PMOS 2 0 2 のソースは、内部電源ライン LVC に接続され、その内部電源ライン LVC と電源電位 V_{cc} との間に、第 3 の MISFET である PMOS 2 0 3 が接続されている。PMOS 2 0 2 と 2 0 3 のウェルは分離されてお

り、そのPMOS 203のバックゲートには、ソースよりも高い電位に設定されたバックバイアス V_{bbp} が印加されている。PMOS 203のゲートには、スタンバイモード時に“H”になる制御信号SLPが印加されている。

【0039】第1の論理回路の出力側には、第2の論理回路の入力側が接続されている。この第2の論理回路は、第4のMISFETであるPMOS 204及び第5のMISFETであるNMOS 205からなるCMOSインバータで構成されており、それらのPMOS 204及びNMOS 205のドレインから出力信号OUTが出力される。PMOS 204のソースは、電源電位 V_{cc} に接続されている。NMOS 205のソースは、内部接地ラインLV_Sに接続され、その内部接地ラインLV_Sと接地電位 V_{SS} との間に、第6のMISFETであるNMOS 206が接続されている。NMOS 205と206のウェルは分離されており、そのNMOS 206のバックゲートには、ソースよりも低い電位に設定されたバックバイアス V_{bbn} が印加されている。NMOS 206のゲートには、スタンバイモード時に“L”になる反転制御信号/ \overline{SLP} が印加されている。いずれのNMOS 201, 205, 206及びPMOS 202, 203, 204も、低電圧動作に適するように閾値電圧 V_t を十分低く設定してある。

【0040】次に、動作を説明する。第4の実施例と同様に、アクティブモード時には、制御信号SLPを“L”に、反転制御信号/ \overline{SLP} を“H”にしておけば、PMOS 203及びNMOS 206がオン状態となり、第1及び第2の論理回路が通常のインバータ動作を行う。即ち、第1の論理回路を構成するNMOS 201及びPMOS 202により、入力信号INが反転され、その反転された信号が、第2の論理回路を構成するPMOS 204及びNMOS 205によって反転され、出力信号OUTが出力される。スタンバイモードになるように制御信号SLPを“H”に、反転制御信号/ \overline{SLP} を“L”にすると、PMOS 203及びNMOS 206がいずれもオフ状態となり、第1及び第2の論理回路への電流経路が遮断される。そのため、第1の論理回路の入力信号INのレベルに応じて、PMOS 202あるいはNMOS 205のリーク電流がなくなる。また、第4の実施例と同様に、バックバイアス V_{bbp} , V_{bbn} と制御信号SLP及び反転制御信号/ \overline{SLP} とを同期させてアクティブモード時には該バックバイアス V_{bbp} , V_{bbn} に0V、スタンバイモード時には該バックバイアス V_{bbp} , V_{bbn} に正及び負の電位をそれぞれ印加するような動作も可能である。

【0041】この第8の実施例では、次のような効果(a), (b)がある。

(a) この第8の実施例は、第5及び第6の実施例の組み合わせで、スタンバイモード時の各段の論理回路の

出力レベルに合わせてバックバイアス V_{bbp} , V_{bbn} を印加したPMOS 203及びNMOS 206を電源電位 V_{cc} 側及び接地電位 V_{ss} 側に挿入するようにしたので、第4の実施例と同様に、エリアペナルティを最小に抑えて効果的にリーク電流を低減できる。

(b) バックバイアス V_{bbp} , V_{bbn} と制御信号SLP及び反転制御信号/ \overline{SLP} とを同期させてアクティブモード時には該バックバイアス V_{bbp} , V_{bbn} に0V、スタンバイモード時には該バックバイアス V_{bbp} , V_{bbn} に正及び負の電位をそれぞれ印加するような動作をさせると、スタンバイモード時には前記

(a)と全く同様の効果が得られる。その上、アクティブモード時には、PMOS 203及びNMOS 206の閾値電圧 V_t が低下するので、第4の実施例と同様に、これらの挿入にともなう駆動力の低下を防止でき、該PMOS 203及びNMOS 206のチャネル幅を縮小できる。このため、エリアペナルティが少なくなり、より高集積化が可能となる。

【0042】第9の実施例

図14～図20は、図12のデバイス構造の製造方法を説明するための製造工程図である。この第9の実施例では、図12に示すデバイス構造が次のような工程(1)～(8)を経て製造される。

(1) 図14の製造工程

例えば、抵抗率 $10\Omega\text{cm}$ 程度のP型シリコン基板からなる半導体基板90を用意し、全面に膜厚50nm程度の酸化膜101、及び膜厚200nm程度の窒化膜102を順次堆積する。ホトリソグラフィ及びエッチングにより、Nウェルを形成する領域のみ窒化膜102及び酸化膜101を除去し、この除去された窓よりイオン注入によって不純物のリン等を打ち込み、エネルギー180KeV、ドーズ量 $1.5 \times 10^{13}\text{cm}^{-2}$ 程度導入して、第1、第2、及び第3のウェルであるNウェル92, 93, 94を形成する。

(2) 図15の製造工程

窒化膜102及び酸化膜101を除去せずに、そのまま1000℃程度のウェット酸化を行い、該窒化膜102及び酸化膜101の形成されていない領域、即ちNウェル領域上に膜厚300nm程度の酸化膜103を形成する。その後、窒化膜102及び酸化膜101を除去する。

【0043】(3) 図16の製造工程

Nウェル92, 93, 94に囲まれたPウェルを形成するため、酸化膜103の一部にホトリソグラフィ及びエッチングを用いて窓部104を開口する。酸化膜103をマスクにして、ボロン等の不純物をドーズ量 $3 \times 10^{13}\text{cm}^{-2}$ 程度、打ち込みエネルギー60KeV程度でイオン注入して、Nウェル93内に第4のウェルであるPウェル96を形成すると共に、Nウェル92, 93, 94間にPウェル95を形成する。

(4) 図17の製造工程

マスクに用いた酸化膜103をエッチングによって除去した後、1150℃程度的高温でドライブインを行い、Nウェル92、93、94及びPウェル95、96の深さを設定値に仕上げる。半導体基板90の表面には、Nウェル92、93、94を形成する際のマスクの酸化膜103による凹凸が残るが、以降の図面では省略して平坦に表している。

【0044】(5) 図18の製造工程

選択酸化法であるLOCOS (Local Oxidation of Silicon) 法を用い、素子分離用のフィールド酸化膜97を膜厚300nm程度形成する。その後、Pウェル95に形成されるNMOS81、Pウェル96に形成されるNMOS83、Nウェル92に形成されるPMOS82、及びNウェル94に形成されるPMOS84の閾値電圧 V_t を設定値に仕上げるため、 V_t コントロールインプラをそれらのNウェル92、94及びPウェル95、96にそれぞれ行う。このとき、図10に示す論理回路を構成するNMOS81及びPMOS82とスタンバイコントロール用のNMOS83及びPMOS84とは、同一の V_t コントロールインプラが施される。アクティブ領域にゲート酸化膜98を熱酸化によって膜厚10nm程度形成し、その上にゲート電極81G、82G、83G、84Gとなるポリシリコンを気相成長法(CVD法)によって堆積する。そして、ホトリソグラフィ及びエッチングを用い、ゲート酸化膜98及びポリシリコンをパターニングし、ゲート電極81G、82G、83G、84Gを形成する。

【0045】(6) 図19の製造工程

この工程では、NMOS81、83及びPMOS82、84のソース・ドレイン拡散層を形成する。即ち、全面にレジスト膜を塗布した後、ホトリソグラフィにより、N型拡散層81S、81D、82B、83S、83D、84B、100を形成する領域にのみ窓を開けたレジストパターン105をパターニングする。このレジストパターン105をマスクにして、ヒ素等の不純物をイオン注入してN型拡散層81S、81D、82B、83S、83D、84B、100を形成する。

(7) 図20の製造工程

一旦、レジストパターン105を除去した後、今度は逆にP型拡散層81B、82S、82D、83B、84S、84Dを形成する領域にのみ、窓を開けたレジストパターン106をホトリソグラフィによってパターニングする。このレジストパターン106をマスクにして、BF₃等の不純物をイオン注入してP型拡散層81B、82S、82D、83B、84S、84Dを形成する。

【0046】(8) 最終製造工程

図20以降の工程の図示は省略するが、レジストパターン106を除去した後、アニールによってN型拡散層81S、81D、82B、83S、83D、84B、100

0、及びP型拡散層81B、82S、82D、83B、84S、84Dの不純物を活性化させ、BPSG (ボロンリンガラス) 等の層間絶縁膜を形成する。ホトリソグラフィ及びエッチングにより、層間絶縁膜の所定箇所を開口してコンタクトホールを形成した後、アルミ合金等によって配線を施す。必要であれば、配線を多層繰り返して形成する。最後に、全体をパッシベーション膜で覆い、ボンディング用にパッド部を開口してウェハプロセスを終了する。これにより、図12のようなCMOS集積回路装置が得られる。

【0047】この第9の実施例では、次のような効果(a)～(d)がある。

(a) 本実施例の製造方法においては、図16の製造工程に示すように、半導体基板90と同一導電型のPウェル95、96を反対導電型のNウェル92、93、94で囲むように形成する際、マスク用の酸化膜103の一部に孔を開けるようにしているので、工程の増加を最小に抑えて同一導電型のPウェル95、96と半導体基板90の分離を実現している。

(b) 図16の製造工程において、二重拡散以外の部分(Nウェル93及びPウェル96以外のNウェル92、94及びPウェル95)では、反対極性のNウェル92、94とPウェル95同士が自己整合的に形成されるので、余分な合わせ余裕を確保する必要がなく、素子形成面積の縮小化が可能となる。

(c) 図10に示す論理回路を構成するNMOS81及びPMOS82の閾値電圧 V_t を低く、スタンバイコントロール用のNMOS83及びPMOS84の閾値電圧 V_t を高くする等といった別々のトランジスタ特性を用意する必要がない。このため、図18の製造工程において、 V_t コントロールインプラを打ち分ける等の付加工程を全く必要としないので、工程が削減され、コスト低減が期待できる。

(d) 図12のデバイス構造の場合、図11のデバイス構造のNウェル91を省略しているため、製造工程を簡略化できる。しかも、図12のようにNウェル91を省略すると、横方向の素子形成面積を縮小化できるという効果もある。

【0048】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 図1、図3、図4、及び図5において、PMOS3、24、33あるいはNMOS13、23、36の閾値電圧 V_t の絶対値を大きくする方法として、ゲート長を長く設定しているが、他の方法によってその閾値電圧 V_t を大きくしてもよい。例えば、図2において、MOSFETのソース領域及びドレイン領域の不純物濃度を大きくして閾値電圧 V_t を高くする。この際、図2の曲線の傾斜角度が小さくなり、ゲート電圧 $V_g = 0V$ の時のドレイン電流 I_d が大きくなってリーク電流が大きくな

る。そこで、ゲート酸化膜を薄くすることにより、前記曲線の傾斜角度を大きくする。このようにすれば、上記実施例のゲート長を長く設定したことと同様の効果が得られる。

(2) 上記実施例では、第1の電源電位として接地電位 V_{ss} 、第2の電源電位として電源電位 V_{cc} を例にとり説明したが、それらの第1及び第2の電源電位は集積回路装置に応じて他の任意の電位にしてもよい。例えば、第1の電源電位を負電位、第2の電源電位を接地電位 V_{ss} にしたり、あるいは第1の電源電位を電源電位 V_{cc} 、第2の電源電位を接地電位 V_{ss} にする等、種々の電位に設定できる。これらの電位の設定に応じてトランジスタの極性等を変えればよい。

【0049】(3) 上記実施例では、MISFET及び半導体基板50、70、90の極性として、第1導電型をN型、第2導電型をP型として説明したが、電源の極性を逆にすることにより、第1導電型をP型、第2導電型をN型に変更してもよい。また、図7、図9、図11、図12、及び図14～図20において、デバイス構造として、P型シリコン基板を用いたNウェルCMOSを基本にしているが、そのシリコン基板を他の半導体基板に変えたり、あるいはN型半導体基板を用いてPウェルCMOSを基本型とするデバイス構造にしてもよい。

(4) 図1、図3、図4、図5、図6、図8、図10、及び図13において、論理回路をCMOSインバータで構成しているが、この論理回路をNAND、NOR等の他の論理回路にしても有効に機能する。しかも、従来のCMOSプロセスに何も工程的に付加することなく、上記実施例の効果が得られる。

(5) 図1及び図6において、PMOS3、43を共通として、内部電源ライン LVC に他の論理回路を接続してもよい。同様に、図3及び図8において、NMOS13、63を共通として、内部接地ライン LVS に他の論理回路を接続したり、図4及び図10において、NMOS23、83あるいはPMOS24、84を共通として、内部接地ライン LVS あるいは内部電源ライン LVC に他の論理回路を接続してもよい。さらにまた、図5及び図13において、論理回路の段数を3個以上に増やしてもよい。

【0050】(6) 集積回路装置の半導体チップをいくつかの回路ブロックに分け、それらの各回路ブロックに適した方式を使い分けることも可能である。即ち、図1、図3、図4及び図5の回路を組み合わせ、あるいは図6、図8、図10及び図13の回路を組み合わせで一つの半導体チップを構成してもよい。このような形態をとったとしても、従来のCMOSプロセスに何も工程的に付加することなく、上記実施例の効果が得られる。

(7) 図7、図9、図11、図12及び図14～図20において、LOCOS法によって形成したフィールド酸化膜54、76、97によって素子分離を行っている

が、これに代えてトレンチ（溝）分離等によって素子分離を行うようにしてもよい。また、トレンチ分離を用いる場合、そのトレンチ内にキャパシタやトランジスタ等を形成すれば、集積回路装置の集積度やチップ面積を縮小できる。また、図14～図20の製造工程において、使用材料、濃度や温度等の製造条件、及び製造工程等を、集積回路装置の設計条件に応じて他の任意の形に変更することも可能である。

(8) 図14～図20に示す第9の実施例の製造方法では、図12のデバイス構造の製造方法について説明したが、その第9の実施例の各工程を適宜スキップ（変更）することにより、図7、図9、及び図11のデバイス構造の製造にも適用できる。また、図13の集積回路装置には、第9の実施例の製造工程をそのまま適用できる。

(9) 上記実施例では、MOSFET及びCMOSを用いた集積回路装置とその製造方法について説明したが、他のMISFET及びCMISを用いてもよい。

【0051】

【発明の効果】以上詳細に説明したように、第1、第4、第5及び第6の発明によれば、第3のMISFETの閾値電圧の絶対値を第2のMISFETの閾値電圧の絶対値よりも大きくしたので、カットオフ特性が改善され、スタンバイ時のリーク電流を大幅に減少できる。従って、高速動作と低消費電力を同時に達成できる。第2、第4、第5、及び第6の発明によれば、閾値電圧の絶対値を、第1のMISFETよりも第3のMISFETを大きくし、さらに第2のMISFETよりも第4のMISFETを大きくしたので、スタンバイモード時の論理回路の出力レベルが“H”又は“L”のどちらになるか定まらない場合にも、カットオフ特性が改善され、論理回路の出力レベルにかかわらず、スタンバイモード時のリーク電流を抑制できる。従って、高速動作と低消費電力を同時に達成できる。第3、第4、第5、及び第6の発明によれば、第1の回路と第2の回路とを交互にシリーズ接続したので、エリアペナルティを最小に抑えて効果的にリーク電流を低減できる。従って、高速動作と低消費電力を同時に達成できる。

【0052】第7、第8及び第9の発明によれば、第2と第3のMISFETに異なったバックゲートバイアスを印加する構成にしたので、カットオフ特性が改善され、スタンバイ時のリーク電流を大幅に抑制できる。従って、高速動作と低消費電力を同時に達成できる。第10の発明によれば、スタンバイモード時に第3のMISFETのゲートを制御してカットオフさせるのとほぼ同時に、該第3のMISFETのバックゲートバイアスの絶対値を第2のMISFETのバックゲートバイアスの絶対値よりも大きくする構成にしたので、アクティブモード時において第3のMISFETの閾値電圧が低下して該第3のMISFETの挿入にともなう駆動力の低下を防止でき、該第3のMISFETのチャネル幅

を縮小できる。このため、エリアペナルティが少なくなり、より高集積化が可能となる。第11、第12及び第13の発明によれば、第1と第3のMISFETに異なったバックゲートバイアスを印加し、かつ第2と第4のMISFETに異なったバックゲートバイアスを印加する構成にしたので、スタンバイモード時の論理回路の出力レベルが“H”又は“L”のどちらになるか定まらない場合にも、該論理回路の出力レベルにかかわらず、スタンバイモード時のリーク電流を抑制できる。従って、高速動作と低消費電力を同時に達成できる。

【0053】第14の発明によれば、スタンバイモード時に第3及び第4のMISFETのゲートを制御してカットオフさせるのとほぼ同時に、バックゲートバイアスの絶対値を、第1のMISFETよりも第3のMISFETを大きくすると共に、第2のMISFETよりも第4のMISFETを大きくする構成にしたので、アクティブモード時において第3及び第4のMISFETの閾値電圧が低下し、該第3及び第4のMISFETの挿入にともなう駆動力の低下を防止でき、該第3及び第4のMISFETのチャネル幅を縮小できる。このため、エリアペナルティが少なくなり、より高集積化が可能となる。第15の発明によれば、半導体基板と同一導電型の、不純物の導入によって形成されるウェルを、反対導電型の不純物の導入によって形成されるウェルで囲むように形成する際、マスク用の酸化膜の一部を除去して孔をあけるようにしているので、工程の増加を最小に抑えて前記同一導電型のウェルと前記半導体基板との分離を実現できる。しかも、前記反対極性のウェル同士が自己整合的に形成されるので、余分な合わせ余裕を確保する必要がなく、縮小化が可能となる。従って、少ない工程数で、低コストで、高速動作と低消費電力を同時に達成できるCMIS型集積回路装置を製造できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すCMOS型集積回路装置の回路図である。

【図2】ゲート長の異なる2つのMOSFETの $I_{DS}-V_G$ 特性図である。

【図3】本発明の第2の実施例を示すCMOS型集積回路装置の回路図である。

【図4】本発明の第3の実施例を示すCMOS型集積回路装置の回路図である。

【図5】本発明の第4の実施例を示すCMOS型集積回路装置の回路図である。

【図6】本発明の第5の実施例を示すCMOS型集積回 *

* 路装置の回路図である。

【図7】図6のデバイス構造断面図である。

【図8】本発明の第6の実施例を示すCMOS型集積回路装置の回路図である。

【図9】図8のデバイス構造断面図である。

【図10】本発明の第7の実施例を示すCMOS型集積回路装置の回路図である。

【図11】図10のデバイス構造断面図である。

【図12】図10の他のデバイス構造断面図である。

10 【図13】本発明の第8の実施例を示すCMOS型集積回路装置の回路図である。

【図14】図12の製造工程図である。

【図15】図12の製造工程図である。

【図16】図12の製造工程図である。

【図17】図12の製造工程図である。

【図18】図12の製造工程図である。

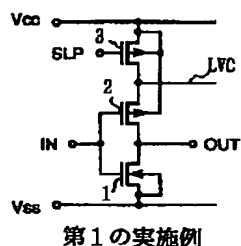
【図19】図12の製造工程図である。

【図20】図12の製造工程図である。

【符号の説明】

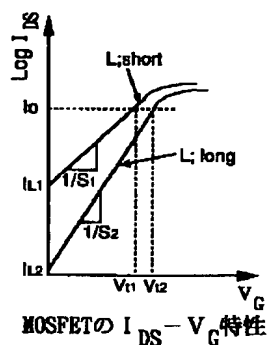
20	1, 12, 13, 21, 23, 31, 35, 36, 41, 62, 63, 81, 83, 201, 205, 206	NMOS
	2, 3, 11, 22, 24, 32, 33, 34, 42, 43, 61, 82, 84, 202, 203, 204	PMOS
	50, 70, 90	半導体基板
	51, 74, 75, 95, 96	Pウェル
	52, 53, 71, 72, 73, 91, 92, 93, 94	Nウェル
30	101, 103	酸化膜
	102	窒化膜
	104	窓部
	105, 106	レジストパターン
	V _{bbn} , V _{bbp}	バックバイアス
	I _N	入力信号
	L _{VC}	内部電源ライン
	L _{VS}	内部接地ライン
	O _{UT}	出力信号
	S _{LP}	制御信号
40	/S _{LP}	反転制御信号
	V _{cc}	電源電圧
	V _{ss}	接地電位

【図1】

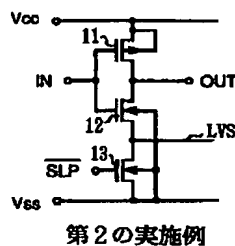


第1の実施例

【図2】

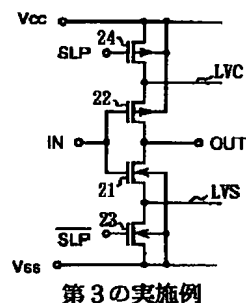


【図3】



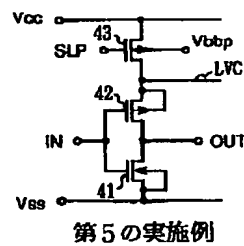
第2の実施例

【図4】



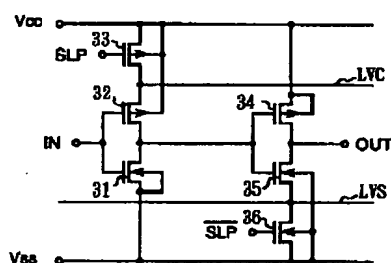
第3の実施例

【図6】



第5の実施例

【図5】



第4の実施例

【図7】

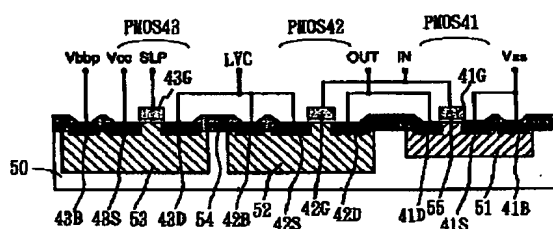
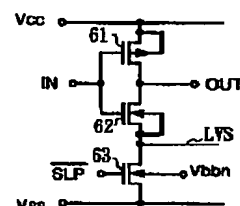


図6のデバイス構造

【図8】



第6の実施例

【図9】

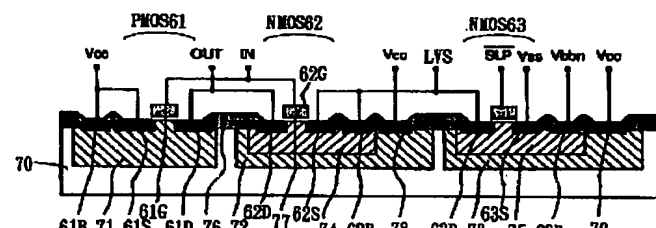
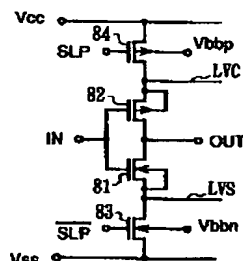


図8のデバイス構造

【図10】



第7の実施例

【図11】

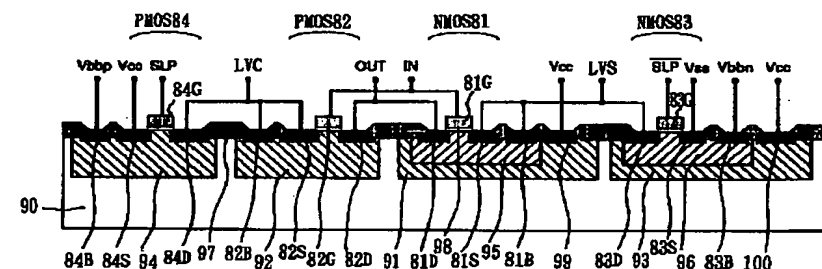
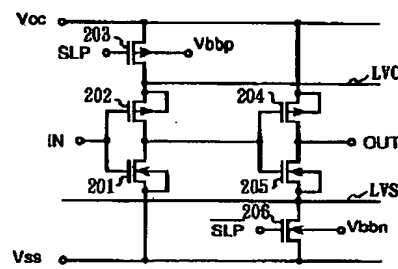


図10のデバイス構造

【図13】



第8の実施例

【図 12】

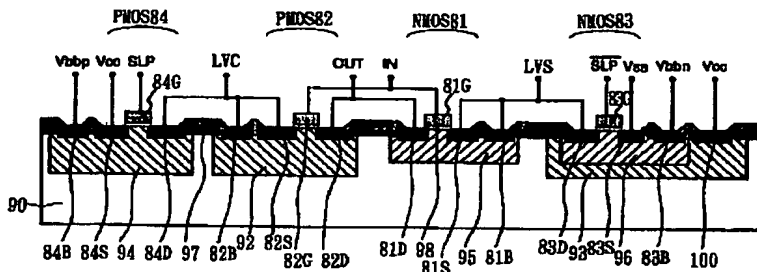


図 10 の他のデバイス構造

【図 14】

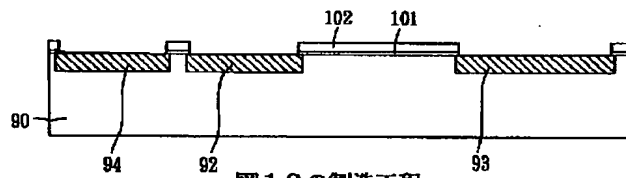


図 12 の製造工程

【図 15】

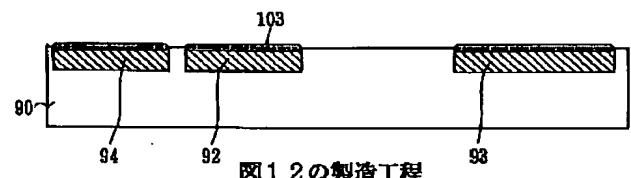


図 12 の製造工程

【図 16】

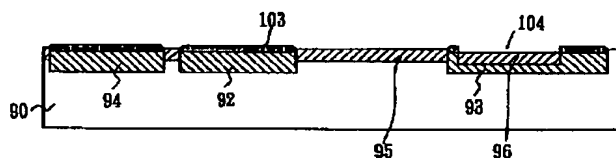


図 12 の製造工程

【図 17】

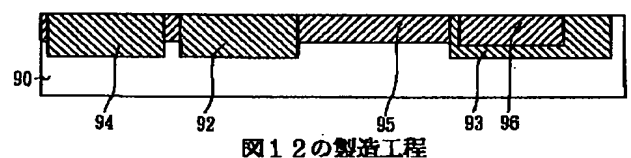


図 12 の製造工程

【図 18】

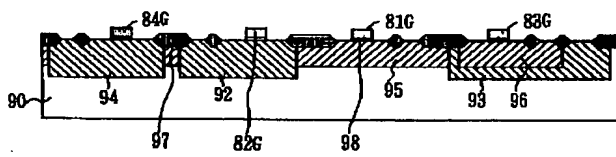


図 12 の製造工程

【図 19】

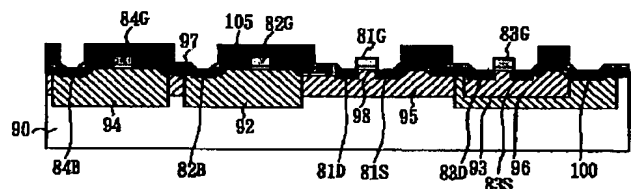


図 12 の製造工程

【図 20】

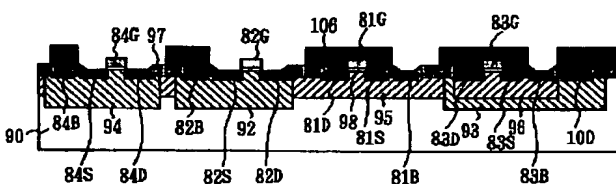


図 12 の製造工程

フロントページの続き

(51) Int. Cl. ⁶		識別記号	庁内整理番号	F I	技術表示箇所
H O 3 K	19/173	1 0 1	9199-5K		
	19/20		9199-5K		
				H O 3 K 19/094	B